



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

1FW

APPLICANT: SHOICHIRO MATSUMOTO)
SERIAL NO.: 10/813,800)
FILED: MARCH 30, 2004)
FOR: DISPLAY DEVICE)

CLAIM FOR PRIORITY

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Enclosed herewith are certified copies of Japanese Patent Application No. 2003-113369 filed on April 17, 2003, Japanese Patent Application No. 2003-342666 filed on September 30, 2003, and Japanese Patent Application No. 2004-088495 filed on March 25, 2004. The enclosed Applications are directed to the invention disclosed and claimed in the above-identified application.

Applicant hereby claims the benefit of the filing date of April 17, 2003, of the Japanese Patent Application No. 2003-113369, the filing date of September 30, 2003, of the Japanese Patent Application No. 2003-342666 and the filing date of March 25, 2004, of the Japanese Patent Application No. 2004-088495, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By:

Lisa A. Bongiovi
Registration No. 48,933
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
Customer No. 23413

I hereby certify that this correspondence was deposited with the United States Postal Service as first class mail in an envelope addressed to: Mail Stop _____, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on	
June 14, 2004 (Date of Deposit)	
Jane M. Theberge (Name of Person Mailing Paper)	
Signature	Date
<i>Jane M. Theberge 6/14/04</i>	

Date: June 14, 2004

YKI-0148



Translation of Priority Certificate

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: September 30, 2003

Application Number: Patent Application No. 2003-342666
[ST.10/C] [JP2003-342666]

Applicant(s): SANYO ELECTRIC CO., LTD.

March 1, 2004

Commissioner, Yasuo IMAI
Japan Patent Office

Priority Certificate No. 2004-3015292

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月30日
Date of Application:

出願番号 特願2003-342666
Application Number:

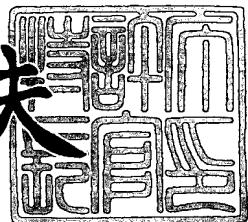
[ST. 10/C] : [JP2003-342666]

出願人 三洋電機株式会社
Applicant(s):

2004年 3月 1日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3015292

【書類名】 特許願
【整理番号】 KRB1030047
【提出日】 平成15年 9月30日
【あて先】 特許庁長官殿
【国際特許分類】 G09F 9/30
【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 松本 昭一郎
【特許出願人】
【識別番号】 000001889
【氏名又は名称】 三洋電機株式会社
【代理人】
【識別番号】 100075258
【弁理士】
【氏名又は名称】 吉田 研二
【電話番号】 0422-21-2340
【選任した代理人】
【識別番号】 100096976
【弁理士】
【氏名又は名称】 石田 純
【電話番号】 0422-21-2340
【先の出願に基づく優先権主張】
【出願番号】 特願2003-113369
【出願日】 平成15年 4月17日
【手数料の表示】
【予納台帳番号】 001753
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9006406

【書類名】特許請求の範囲**【請求項1】**

マトリクス状に配置された画素毎に発光素子を有し、表示を行う表示装置であって、外部から供給される各画素の表示輝度を電圧で表す電圧ビデオ信号を電流ビデオ信号に変換する電圧電流変換回路と、

この電圧電流変換回路に接続され、ここから出力される列方向の画素に対する電流ビデオ信号を順次受け入れるデータラインと、

このデータラインに接続され、データラインに流れる電流ビデオ信号に応じて、補助容量に対応する電圧を保持し、この補助容量に保持した電圧に応じて駆動素子を駆動して発光素子を発光させる画素回路と、

を有することを特徴とする表示装置。

【請求項2】

請求項1に記載の装置において、

前記電圧電流変換回路は、

1ライン分の電圧ビデオ信号に応じた電圧をそれぞれ保持する保持手段と、

この保持手段によって、保持されている1水平ライン分の電圧に応じた電流を対応するデータラインにそれぞれ供給する出力手段と、

を少なくとも2組有し、

一方の組の保持手段にビデオ信号を書き込んでいる間に、他方の組の出力手段から電流を出力し、これを順次切り換え、線順次の表示を行うことを特徴とする表示装置。

【請求項3】

請求項1に記載の装置において、

前記電圧電流変換回路は、制御端に電圧ビデオ信号を受け入れ、データラインに電圧ビデオ信号に応じた電流を出力する出力トランジスタを有することを特徴とする表示装置。

【請求項4】

請求項3に記載の装置において、

前記電圧電流変換回路は、前記出力トランジスタの制御端の供給される電圧ビデオ信号を保持するコンデンサを有することを特徴とする表示装置。

【請求項5】

請求項3または4に記載の装置において、

前記画素回路の駆動素子は、トランジスタであり、

かつこの駆動素子と、前記電圧電流変換回路の出力トランジスタとは、その伝導型が反対であることを特徴とする表示装置。

【書類名】明細書

【発明の名称】表示装置

【技術分野】

【0001】

本発明は、マトリクス状に配置された画素に電流ビデオ信号を供給して、この電流ビデオ信号に対応する電流を発光素子に流し表示を行う表示装置に関する。

【背景技術】

【0002】

自発光素子であるエレクトロルミネッセンス (Electroluminescence: 以下EL) 素子を各画素に発光素子として用いたEL表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示回路 (LCD) やCRTなどの表示回路に代わる表示回路として注目されている。

【0003】

特に、EL素子を個別に制御する薄膜トランジスタ (TFT) などのスイッチ素子を各画素に設け、画素毎にEL素子を制御するアクティブマトリクス型EL表示回路では、高精細な表示が可能である。

【0004】

このアクティブマトリクス型EL表示回路では、基板上に複数本のゲートラインが行方向に延び、複数本のデータライン及び電源ラインが列方向に延びており、各画素は有機EL素子と、選択TFT、駆動用TFT及び保持容量を備えている。ゲートラインを選択することで選択TFTをオンし、データライン上のデータ電圧 (電圧ビデオ信号) を保持容量に充電し、この電圧で駆動TFTをオンして電源ラインからの電力を有機EL素子に流している。

【0005】

また、特許文献1には、各画素において、制御用のトランジスタとしてpチャンネルのTFTの2つを追加し、データラインに表示データに応じたデータ電流 (電流ビデオ信号) を流す回路が示されている。

【0006】

すなわち、この特許文献1の回路では、電流ビデオ信号をデータラインに流し、この電流ビデオ信号を電流電圧変換用TFTに流して駆動TFTのゲート電圧を設定する。

【0007】

【特許文献1】特開2001-147659号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上述のように、特許文献1に記載の回路によれば、データラインに流れる電流に応じて、駆動TFTのゲート電圧を設定することができる。このため、データラインに電圧信号を供給するものと比較して、正確なEL素子の駆動電流制御が行える。また、電流電圧変換用のTFTを共用することで、素子数を比較的少なくすることができる。

【0009】

しかし、この特許文献1の回路では、各画素に電流ビデオ信号を外部から受け入れる必要があり、このために高精度の電流発生ICが別途必要である。従って、この電流発生ICを別途開発しなければならないという問題がある。また、従来の電圧駆動型のEL表示回路では、駆動回路など基本的な構成にLCD (液晶ディスプレイ) に利用するものをそのまま用いられるというメリットがあるが、電流駆動型の表示装置では、これら駆動回路なども別途設計しなければならない等の問題がある。

【0010】

本発明は、外部から電圧ビデオ信号を受け入れ動作が可能な表示装置に関する。

【課題を解決するための手段】

【0011】

本発明は、マトリクス状に配置された画素毎に発光素子を有し、表示を行う表示装置であって、外部から供給される各画素の表示輝度を電圧で表す電圧ビデオ信号を電流ビデオ信号に変換する電圧電流変換回路と、この電圧電流変換回路に接続され、ここから出力される列方向の画素に対する電流ビデオ信号を順次受け入れるデータラインと、このデータラインに接続され、データラインに流れる電流ビデオ信号に応じて、補助容量に対応する電圧を保持し、この補助容量に保持した電圧に応じて駆動素子を駆動して発光素子を発光させる画素回路と、を有することを特徴とする。

【0012】

このように、本発明によれば、電圧／電流変換部によって、電圧信号を電流信号に変換して電流信号をデータラインに供給する。従って、外部から入力されるビデオ信号は、通常の信号でよく、外部に特別な電流発生ICなどを必要とせず、電流駆動型の画素回路を利用することができる。

【0013】

また、前記電圧電流変換回路は、1ライン分の電圧ビデオ信号に応じた電圧をそれぞれ保持する保持手段と、この保持手段によって、保持されている1水平ライン分の電圧に応じた電流を対応するデータラインにそれぞれ供給する出力手段と、を少なくとも2組有し、一方の組の保持手段にビデオ信号を書き込んでいる間に、他方の組の出力手段から電流を出力し、これを順次切り替え、線順次の表示を行うことが好適である。

【0014】

また、前記電圧電流変換回路は、制御端に電圧ビデオ信号を受け入れ、データラインに電圧ビデオ信号に応じた電流を出力する出力トランジスタを有することが好適である。

【0015】

また、前記電圧電流変換回路は、前記出力トランジスタの制御端の供給される電圧ビデオ信号を保持するコンデンサを有することが好適である。

【0016】

また、前記画素回路の駆動素子は、トランジスタであり、かつこの駆動素子と、前記電圧電流変換回路の出力トランジスタとは、その伝導型が反対であることが好適である。

【発明の効果】

【0017】

以上説明したように、本発明によれば、電圧／電流変換部によって、電圧信号を電流信号に変換して電流信号をデータラインに供給する。従って、外部から入力されるビデオ信号は、通常の信号でよく、外部に特別な電流発生ICなどを必要とせず、電流駆動型の画素回路を利用することができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施形態について、図面に基づいて説明する。

【0019】

図1は、実施形態の構成を示す図であり、水平シフトレジスタ40の出力には、一対のnチャンネルTFT42A、42Bのゲートが接続されている。このTFT42A、42Bは、そのドレインがビデオ信号ラインに接続されている（この例ではR信号ライン）。また、TFT42A、42BのソースはnチャンネルTFT44A、44Bのドレインに接続され、このTFT44A、44Bのソースは、ビデオデータ処理回路46A、46Bに接続されている。さらに、TFT44A、44Bのゲートには、それぞれデータ選択信号DSA、DSBが入力されている。

【0020】

ビデオデータ処理回路46A、46Bは、各列に対応して設けられ、それぞれ入力されてくる対応する画素の電圧ビデオ信号（画素の発光輝度を示す信号）を記憶し、この記憶したビデオ信号を電流信号に変換して出力する。ここでは、1ラインの中の1列に対応する1つのビデオデータ処理回路46A、46Bのみを示しているため、このビデオデータ処理回路46A、46Bは、1画素分のデータを記憶しこれを1ラインの期間にわたって

、電流に変換して出力する。なお、ここでビデオデータ処理回路46A、46Bの2つが設けられているのは、ビデオデータ処理回路46A、46Bの一方に1ライン分のビデオデータが順次入力されて記憶された場合に、そのビデオデータ処理回路46A、46Bがその後の1ラインの期間記憶したデータに対応する電流を出力し、その出力している期間に他方のビデオデータ処理回路46B、46Aが次のラインのデータを記憶しておくためである。

【0021】

ビデオデータ処理回路46A、46Bの出力は、nチャンネルTFT48A、48Bのドレインに接続されており、このTFT48B、48Aのゲートには、選択信号DSA、DSBが供給されている。そして、これらTFT48B、48Aのソースは対応する列のデータライン14に接続されている。従って、TFT44Aがオンになっているときには、TFT48Bがオンとなり、ビデオデータ処理回路46Bの出力がデータライン14に供給され、TFT44Bがオンになっているときには、TFT48Aがオンとなり、ビデオデータ処理回路46Aの出力がデータライン14に供給される。

【0022】

これによって、前のラインのビデオ信号によって1ライン分のデータが書き込まれた後その1ライン分のデータが1ラインの期間それぞれ出力される動作が順次繰り返されることになる。

【0023】

そして、データライン14には、電流駆動型画素回路50が接続されており、これら画素回路50がゲートラインWrite、Eraseによって順次選択駆動される。なお、本実施形態では、電流駆動型画素回路50を利用しているため、各ゲートラインはWriteおよびEraseの2つのラインからなっている。

【0024】

ここで、各画素回路50の構成例について、図2に基づいて説明する。このように、ゲートラインWriteにゲートが接続されたpチャンネルTFT（選択TFT）3の一端が電流源CS（ビデオデータ処理回路46に対応する）からのデータ電流Iwを流すデータラインdataに接続され、他端はpチャンネルTFT1およびpチャンネルTFT（駆動TFT）4の一端に接続されている。TFT1は、他端が電源ラインPVDに接続され、ゲートが有機EL素子OLED駆動用のpチャンネルTFT2のゲートに接続されている。また、TFT4は、他端がTFT1およびTFT2のゲートに接続されており、このTFT1およびTFT2のゲートは、補助容量Cを介し、電源ラインPVDに接続されている。そして、TFT4のゲートは、ゲートラインEraseに接続されている。

【0025】

この構成では、WriteをLとしてTFT3をオンするとともに、EraseをLとしてTFT4をオンする。そして、dataにデータに応じた電流Iwを流す。これによって、TFT1はそのゲートソース間が短絡され、電流IwがTFT1、TFT3に流れれる。そこで、この電流Iwが電圧に変換され、その電圧がTFT1、2のゲートに設定される。そして、TFT3、4がオフされた後は、TFT2のゲート電圧は補助容量Cによって保持されるため、その後も電流Iwに対応した電流がTFT2に流れ、この電流により有機EL（OLED）が発光する。そして、EraseをLとすることで、TFT4がオンして、TFT1のゲート電圧が上昇し、補助容量Cが放電されてデータがイレーズされ、TFT1、TFT2がオフする。

【0026】

この回路によれば、TFT1に電流が流れることで、このTFT1とカレントミラーを構成するTFT2にも対応する電流が流れれる。そして、この状態でTFT1、2のゲート電圧が決定され、その電圧が補助容量Cに保持され、その電圧に応じてTFT2の電流量が決定される。

【0027】

次に、図3には、ビデオデータ処理回路46A、46Bの内部構成を示してある。ここ

で、ビデオデータ処理回路46Aと46Bは、基本的の同一の回路であり、A, Bの添え字を省略して、説明する。

【0028】

ビデオデータ処理回路46は、それぞれ1つのnチャンネルTFT62と、保持用コンデンサ64とから構成されている。すなわち、TFT62のゲートには、TFT44のソースが接続され、TFT62のドレインはデータラインに接続され、ソースはグランドに接続されている。さらに、TFT62のゲートには他端がグランドに接続されたコンデンサ64の一端が接続されている。

【0029】

従って、トランジスタ44からの電圧ビデオ信号は、コンデンサ64に保持され、TFT62がコンデンサ64に保持された電流に応じて電流をデータラインからグランドに流す。

【0030】

さらに、この例では、ゲートに信号DSAが供給されるnチャンネルTFT44Aには、pチャンネルTFT44A'が並列接続されており、このTFT44A'のゲートには、信号DSBが供給される。従って、TFT44AとTFT44A'は同一のタイミングでオンオフする。また、ゲートに信号DSBが供給されるnチャンネルTFT44Bには、pチャンネルTFT44B'が並列接続されており、このTFT44B'のゲートには、信号DSAが供給される。従って、TFT44BとTFT44B'は同一のタイミングでオンオフする。このように、トランジスタを並列接続することで、書き込みデータへのノイズを除去することができ、またスイッチとしての能力を高めることができ、ビデオデータ電圧の選択範囲を大きくすることができる。

【0031】

さらに、TFT62は、複数個並列に配置し、回路に冗長性を持たせることができ。また、並列したTFT62のソース電極は、グランド電圧あるいは負電位など任意の電源に接続し、レイアウト的に異なる配線にすることで各電源の変動を抑制することができる。

【0032】

また、DSA、DSBは、複数別途発生しておき、TFT44と、TFT48を別々に駆動することができ。このように分離することで、各動作が確実に行える。

【0033】

図4には、図1、3の回路における動作のタイミングチャートが示してある。DSA、DSBは、1水平期間(1H)毎にH、Lを繰り返す相補的な信号であり、極性が反対になっている。水平シフトレジスタ40から出力されるHSW1、HSW2、…は、各列のビデオデータ処理回路46がビデオ信号データを取り込むタイミングを制御するものであり、ビデオ信号の各列の画素の信号が供給される段階で、各列に対応したHSW1、2、…が順次Hになり、ビデオ信号が対応する各列のビデオデータ処理回路46A、46Bに順次取り込まれる。

【0034】

ビデオデータ処理回路46Aにビデオ信号が取り込まれた次の水平ラインのビデオ信号が供給される時には、Write1およびErase1がLとなっており、かつすべてのビデオデータ処理回路46Aからの出力が1H期間各データラインDLに供給される。そこで、このData1(列)-1(行)、1-2、…に基づき、各画素回路が発光する。このとき、1ライン分のビデオデータはビデオデータ処理回路46Bに順次記憶される。なお、EraseのみがLとなり、補助容量Cの放電を行う期間については示していない。データの書き込みタイミング以前のタイミングでEraseのみをLにしている。

【0035】

次の水平期間では、Write2およびErase2がLとなっており、かつすべてのビデオデータ処理回路46Aからの出力が1H期間各データラインDLに供給される。そこで、このData1-1、2-1、…に基づき、各画素回路50の有機EL素子O

LEDが発光する。

【0036】

このように、この図1、3の回路によれば、入力されてくるビデオ信号は、一般的なビデオ信号でよく、これを電流信号に変換することによって、各電流駆動型画素回路50における電流量制御を正確なものにできる。

【0037】

また、本実施形態では、電流駆動型画素回路50におけるTFTの伝導型は、駆動TFT2を含めすべてpチャンネルである。TFT2がpチャンネルの場合、ビデオデータを書き込むときには、設定電流Iwが画素内の高電圧であるPVDからデータラインを経てビデオデータ処理回路46に引き込まれる。本実施形態では、ビデオデータ処理回路46におけるTFT62をnチャンネルとして、そのソースをグランドに接続している。これによって、ソースを低電位として設定電流Iwを正確に制御することができる。

【0038】

このように、電流駆動型画素回路50における駆動素子である駆動TFT2と、ビデオデータ処理回路における出力トランジスタであるTFT62の伝導型を反対にすることによって、設定電流Iwを正確に制御することができる。

【0039】

図5には、信号DSA、DSBを生成するための回路の構成を示してある。また、この回路における各種信号の波形を図6に示す。

【0040】

1水平期間毎にH、Lを繰り返す相補的な信号である。CKV1、CKV2は、それぞれアンドゲート70、72に入力され、ここからDSA、DSBがそれぞれ出力される。垂直期間の表示の開始を示すストローブ信号STVの反転信号であるXSTVは、 NANDゲート74に入力され、垂直期間における表示の終了を示すVOOUTの反転信号であるXVOOUTは、 NANDゲート76に入力される。 NANDゲート74の出力は、 NANDゲート76に入力され、 NANDゲート76の出力は、 NANDゲート74に入力されており、両NANDゲート74、76の出力は信号DSEとして、アンドゲート70、72に入力されている。 NANDゲート74、76は、XSTVのLでHにセットされ、XVOOUTのLでLにリセットされるフリップフロップを構成しており、信号DSEは、VOOUTのHからSTVのHまでの垂直ブランкиング期間にHとなる。そして、このDSEがアンドゲート70、72に入力されているため、DSA、DSBは、垂直ブランкиング期間にLを保持し、表示期間にのみ信号CKV1、CKV2と同様にH、Lを繰り返す信号となる。

【0041】

このように、垂直ブランкиング期間において、信号DSA、DSBをLに固定することで、対応する素子の動作を禁止して、省電力化を図ることができる。

【0042】

図7には、図3、5の構成を示すと共に、3列分の回路構成を示してある。この例では、3列をRGBのそれぞれのビデオ信号に対応して配置してある。このような回路を所定列設けることで、フルカラー表示を行うことができる。

【0043】

すなわち、RGB、3本のビデオ信号ラインからは、並列して信号が来るため、RGBの3列の6個のTFT42については、同一の信号HSWによってオンオフが制御される。また、TFT62、コンデンサ64をグランドに接続するラインを2本並列に設けており1列に2つあるTFT62、コンデンサ64を別々にグランドに接続している。さらに、信号DSA、DSBについても、ノアゲートおよびインバータの直列接続で形成されるアンドゲート70、72におけるインバータを1つの NANDゲートに対し2つ設けることによって、2系列発生し、TFT48に供給するものと、TFT44に供給するものとを別系統としている。

【0044】

さらに、電流駆動型画素回路としては、図8に示すような直接指定型のものも好適であ

る。

【0045】

電源P V D Dには、pチャンネルのT F T 1 0のソースが接続され、そのドレインには、nチャンネルT F T 1 2を介し有機E L素子1 4のアノードが接続され、有機E L素子1 4のカソードがグランドに接続されている。

【0046】

また、T F T 1 0のゲートは、pチャンネルT F T 1 6によりデータラインd a t aに(d a t a 1、d a t a 2)接続されると共に、補助容量Cを介し、電源ラインP V D Dに接続されている。さらに、T F T 1 0とT F T 1 2との接続点は、pチャンネルのT F T 1 8を介し、データラインD a t aに接続されている。

【0047】

そして、T F T 1 2、1 6のゲートには、行方向に伸びるライトラインW r i t e Vが接続され、T F T 1 8のゲートには、同じく行方向に伸びるライトラインW r i t e Iが接続されている。

【0048】

また、本実施形態においては、データラインd a t aとして、第1データラインd a t a 1と、第2データラインd a t a 2の2本を各列(カラム)に対応して設けてある。そして、T F T 1 6、T F T 1 8が、1行おきに第1データラインd a t a 1と、第2データラインd a t a 2に交互に接続されている。

【0049】

また、第1および第2データラインd a t a 1、d a t a 2は、それぞれスイッチS W 1、S W 2を介し、電流ビデオ信号I v i d e oおよび電圧動作信号V o p eのいずれかが切り換え供給されるようになっており、この電流ビデオ信号I v i d e oが上述の実施形態におけるデータラインに供給される信号である。なお、スイッチS W 1は、信号S W 1-IがHの時にI v i d e oを選択し、S W 1-VがHの時にV o p eを選択する。また、スイッチS W 2は、信号S W 2-IがHの時にI v i d e oを選択し、S W 2-VがHの時にV o p eを選択する。

【0050】

このような回路における各種制御クロックについて、図9に基づいて説明する。まず、2つのクロックC K V 1、C K V 2は、1つおきの行(水平ライン)の画素回路への信号の制御のために、1 H(1水平期間)毎に相補的にH、Lを繰り返す。すなわち、クロックC K V 1がHの期間はクロックC K V 2がLとなり、これを繰り返す。

【0051】

各行毎のライト信号W r i t e V-1、V-2、V-3、…は、2 H期間毎にLになるが、このLとなるタイミングが各行において1 H期間ずつ順次ずれている。C K V 1がHとなるタイミングから2クロック期間W r i t e V-1がLとなり、これに対し1 H期間ずれて、W r i t e V-2、W r i t e V-3が順次Lとなる。

【0052】

また、ライト信号W r i t e I-1、I-2、I-3、…は、それぞれライト信号W r i t e V-1、V-2、V-3のLの後半の1 H期間にLそれぞれとなる。

【0053】

そして、スイッチS W 1の制御信号S W 1-Vは、ライト信号W r i t e V-1、V-3、V-5、…がLの期間の前半にHとなり、データラインd a t a 1をV o p eに接続し、スイッチS W 2は、ライト信号W r i t e V-2、V-4、V-6、…がLの期間の前半にHとなり、データラインd a t a 1をV o p e nに接続する。

【0054】

また、スイッチS W 1の制御信号S W 1-Iは、ライト信号W r i t e I-1、I-3、I-5、…がLの期間にHとなり、データラインd a t a 2をI v i d e oに接続し、スイッチS W 2-Iは、ライト信号W r i t e I-2、I-4、I-6、…がLの期間にHとなり、データラインd a t a 2をI v i d e oに接続する。

【0055】

ここで、このようなクロックによる1つの画素（図における上の画素）における動作を説明する。

【0056】

$SW1-V$ がHとなることによって、スイッチ $SW1$ が $Vope$ を選択する。また、 $WriteV-1$ がLであり、 $WriteI-1$ がHであることによって、 $TFT12$ 、 $TFT18$ がオフ、 $TFT16$ がオンとなり、 $Vope$ が補助容量Cに充電され、 $TFT10$ のゲート電位にセットされる。

【0057】

ここで、この $Vope$ は、その画素についての輝度データ（RGB別のデータであれば、RGB別の輝度データ）に基づいた電圧値であり、この電圧の供給によって、補助容量Cの充電は早期に完了する。

【0058】

次に、 $SW1-V$ がLとなり $SW1-I$ がHとなる。これによってスイッチ $SW1$ が $Ivideo$ を選択する。また、 $WriteV-1$ がLを維持するが、 $WriteI-1$ がLとなることによって、 $TFT18$ がオンし、電源 $PVDD$ からの $TFT10$ 、 $TFT18$ を介し、電流 $Ivideo$ が流れる。そして、この電流 $Ivideo$ が $TFT10$ を流れている状態における $TFT10$ のゲート電圧が補助容量Cに書き込まれる。ここで、上述のように $TFT10$ のゲート電圧は $Vope$ により、予備的にセットされており、 $Ivideo$ による充放電量はわずかであり、多階調時の小さな最小輝度電流によっても、早期に充放電を完了することができる。

【0059】

このようにして、輝度データの書き込みが終了するため、 $WriteV-1$ 、 $WriteI-1$ がHとなる。これによって、 $TFT16$ 、 18 がオフし、 $TFT12$ がオンになり、電源 $PVDD$ からの電流が有機EL素子14に流れる。ここで、 $TFT10$ のゲート電圧は、 $Ivideo$ が流れているときの電圧にセットされ、この電圧が補助容量Cにより保持されている。そこで、有機EL素子14に流れる電流が $Ivideo$ と同一になる。

【0060】

このように、本実施形態は、 $TFT10$ に $Ivideo$ を流してそのゲート電位をセットする直接指定方式であり、正確な電流制御を行うことができる。そして、ゲート電圧を予め $Vope$ によってセットすることができるため、輝度データの書き込みに要する時間を大幅に短縮して、多階調の表示にも容易に対応することができる。

【0061】

ここで、入力する電圧 $Vope$ について、図10に基づいて説明する。この電圧 $Vope$ は、ビデオ情報を直接意味する電圧ではなく、有機EL素子14に流す輝度情報である電流信号 $Ioled$ を流す $TFT10$ の動作点を与える電圧情報である。すなわち、輝度情報に対応してデータライン $data$ に流す電流 $Ivideo$ は、有機EL素子14に流れる電流 $Ioled$ とほぼ等しいはずである ($Ivideo \approx Ioled$)。そして、 $TFT10$ 、 18 をONして、 $Ivideo$ を流している時であれば、これらのオン抵抗を VDD から減算した値であり、 $Vope = VDD - (VDS + VFT18)$ となる。また、有機EL素子14に電流 $Ioled$ を流しているときであれば、 $TFT12$ のオン抵抗 $VTFT12$ と、有機発光素子のオン抵抗 $Voled$ と、 $TFT10$ のゲートソース感電に Vgs の和、すなわち $Vope = Voled + V12 + Vgs$ となる。

【0062】

このようにして、 $Vope$ は決定できる。そして、素子の特性は予め分かっているため、輝度信号に応じて $Vope$ を求めることができる。そこで、画素設計を行う際に、予めシミュレーションにより、入力輝度信号と $Vope$ の変換についての曲線を求めておき、この曲線に基づき変換を行う回路を設け、この出力を $Vope$ として供給すればよい。

【0063】

また、本実施形態では、データラインdata1に並列して、データラインdata2を有している。そして、垂直方向の各画素は、交互にデータラインdata1、data2に接続され、各画素に、クロックCKV1の1H分ずれたタイミングで、Vopeの書き込み、Ivideoの書き込みが行われる。従って、垂直方向の各画素の有機EL素子14の発光開始タイミングは、それぞれ1H分ずれる。そして、data1は、2Hで1ライン目の画素へのデータを書き込んだ後、次の2Hで3ライン目の画素へのデータの書き込みを行い、これを奇数行の画素に順次行う。また、data2は、2ライン目の画素へのデータを書き込んだ後、4ライン目の画素へのデータの書き込みを行い、これを偶数の画素に順次行う。そして、1ライン目の画素へのデータ書き込みに対し、2ライン目の画素へのデータ書き込みは、1Hだけ後になっている。そこで、1ライン目の画素から、下方に向けて1H毎に順次書き込みが行われることになる。そこで、Vopeの書き込みに1H、Ivideoの書き込みに1Hの合計2クロックを1画素のデータ書き込みに要するが、1列のデータ書き込みに要する時間は、1ラインに1Hでデータ書き込みを行った場合と同様となる。

【0064】

なお、上述の説明では、1列の画素についてのみ説明したが、実際には、1H期間に、1行分の全画素についての電圧(Vope)書き込みを順次行い、次の1H期間に1行分の全画素についての電流(Ivideo)書き込みを行う。そして、1つのラインにおいて、電流書き込みを行っている場合には、次の行において、電圧書き込みを並列して行う。

【0065】

特に、電圧書き込みは、1Hの期間で1ラインの全画素分のVopeをdata1またはdata2にデータを順次設定して行う点順次方式とする。一方、電流書き込みは、上述したように、1Hの期間に1ラインの全画素分のIvideoをdata1またはdata2の一度に載せて行う線順次方式としている。

【0066】

なお、電流書き込みについては、1ラインの画素を複数のブロックに分割し、このブロックごとにそのブロック内のdata1またはdata2にIvideoを並行してデータをのせるブロック順次方式で行ってもよい。この場合、ブロックの数Nは、1H期間を電流書き込み時間で割った数で決定する。例えば、電流書き込み時間をtwとすると、 $N = 1H \div tw$ となる。これによって、確実に電流書き込みを終了することができる。

【0067】

図11および図12には、他の実施形態の構成を示してある。なお、図11および図12は、図2および図3に対応している。

【0068】

図11には、本実施形態での、電流駆動型画素回路50の構成が示されており、このようしてTFT1、2、3、4にnチャンネルTFTを利用している。

【0069】

TFT3の一端が電流源CSからのデータ電流Iwを流すデータラインdataに接続され、他端はTFT1およびTFT(駆動TFT)4の一端に接続されている。TFT1は、他端がグランドに接続され、ゲートが有機EL素子OLED駆動用のTFT2のゲートに接続されている。また、TFT4は、他端がTFT1およびTFT2のゲートに接続されており、このTFT1およびTFT2のゲートは補助容量Cを介しグランドに接続されている。そして、TFT4のゲートは、ゲートラインEraserに接続されている。

【0070】

データ書き込みのときには、ゲートラインWrite、EraserにHレベルの信号を供給する。これによって、TFT3、4がオンされ電流源CSからの電流Iwが、TFT3、TFT1を介し、グランドに流れる。このとき、TFT4がオンになっており、TFT1と、TFT2はカレントミラーを構成しており、TFT2にも電流Iwに対応した電流が流れる。そして、この状態におけるTFT1のゲート電圧が補助容量Cに保持される

。そして、EraseをHにするまで、TFT2を介し駆動電流がOLEDに流れる。

【0071】

また、このようなnチャンネルTFTを用いた場合、電流源CSに対応するビデオデータ処理回路46についても電流の方向を反対にする必要がある。そこで、図12に示すように、TFT62A、62Bとして、pチャンネルTFTを用い、ソースを電源PVDDに接続する。これによって、ビデオ信号がコンデンサ64A、64Bに保持され、その電圧に応じて、TFT62A、62に電流が流れ、これがデータラインに供給される。

【0072】

ここで、本実施形態では、電流駆動型画素回路50におけるTFTの伝導型は、駆動TFT2を含めすべてnチャンネルである。TFT2がnチャンネルの場合、ビデオデータを書き込むときには、設定電流Iwがビデオデータ処理回路46からデータラインを経て電流駆動型画素回路50に供給される。そこで、ビデオデータ処理回路46におけるTFT62をpチャンネルとして、そのソースを電弁PVDDに接続している。これによって、ソースを高電位として設定電流Iwを正確に制御することができる。

【0073】

このように、電流駆動型画素回路50における駆動素子である駆動TFT2と、ビデオデータ処理回路における出力トランジスタであるTFT62の伝導型を反対にすることによって、設定電流Iwを正確に制御することができる。

【図面の簡単な説明】

【0074】

- 【図1】実施形態の構成を示す図である。
- 【図2】画素回路の構成例を示す図である。
- 【図3】図1の回路をより詳細に示した図である。
- 【図4】図3の回路の各種信号波形を示す図である。
- 【図5】DSA、DSBの発生のための回路構成を示す図である。
- 【図6】図5の回路の信号波形を示す図である。
- 【図7】実施形態のさらに詳細な構成を示した図である。
- 【図8】画素回路の構成例を示す図である。
- 【図9】図8の回路の各種信号波形を示す図である。
- 【図10】Vopeの電圧設定を説明する図である。
- 【図11】画素回路の他の構成例を示す図である。
- 【図12】図11の画素回路を利用した場合の構成を示す図である。

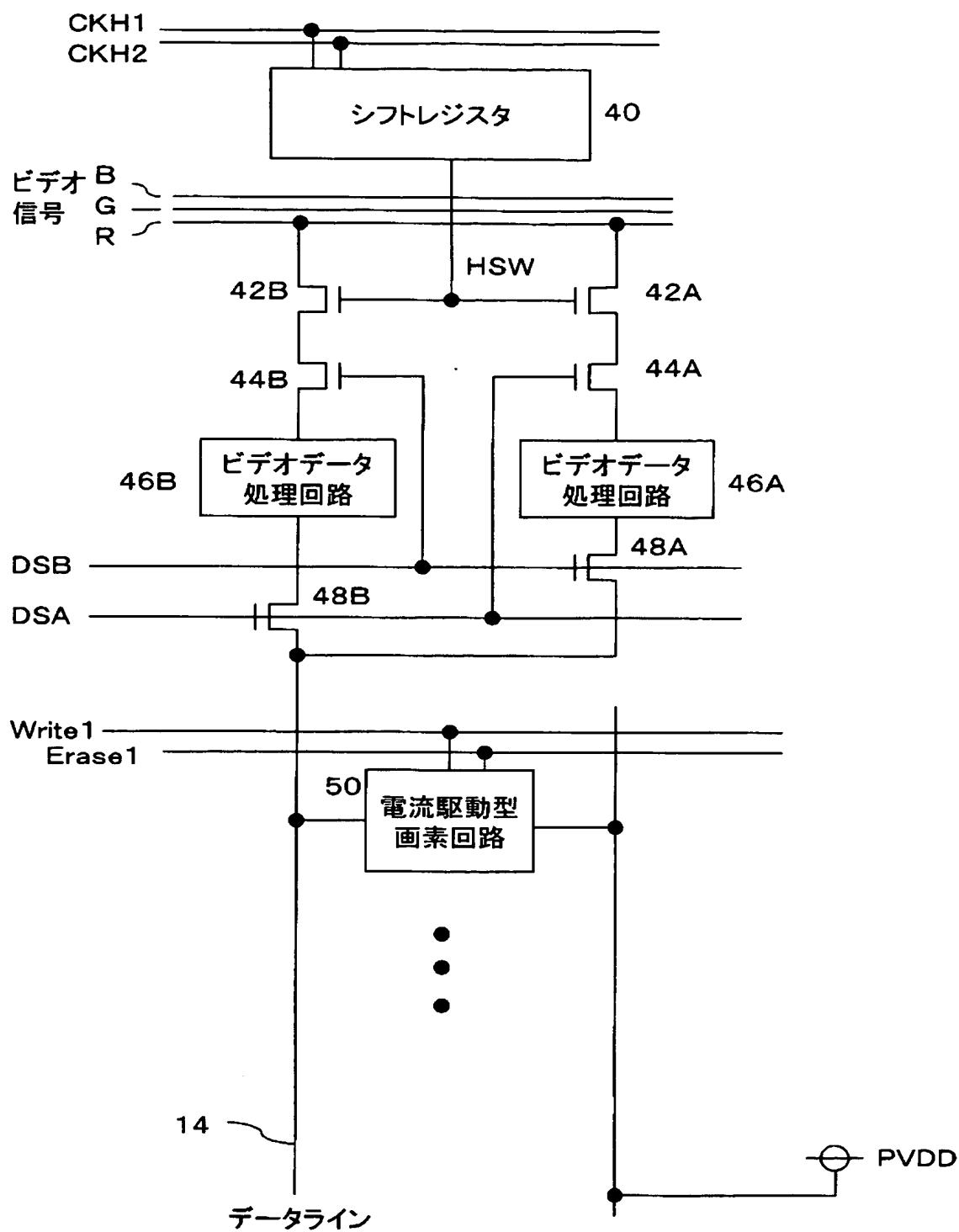
【符号の説明】

【0075】

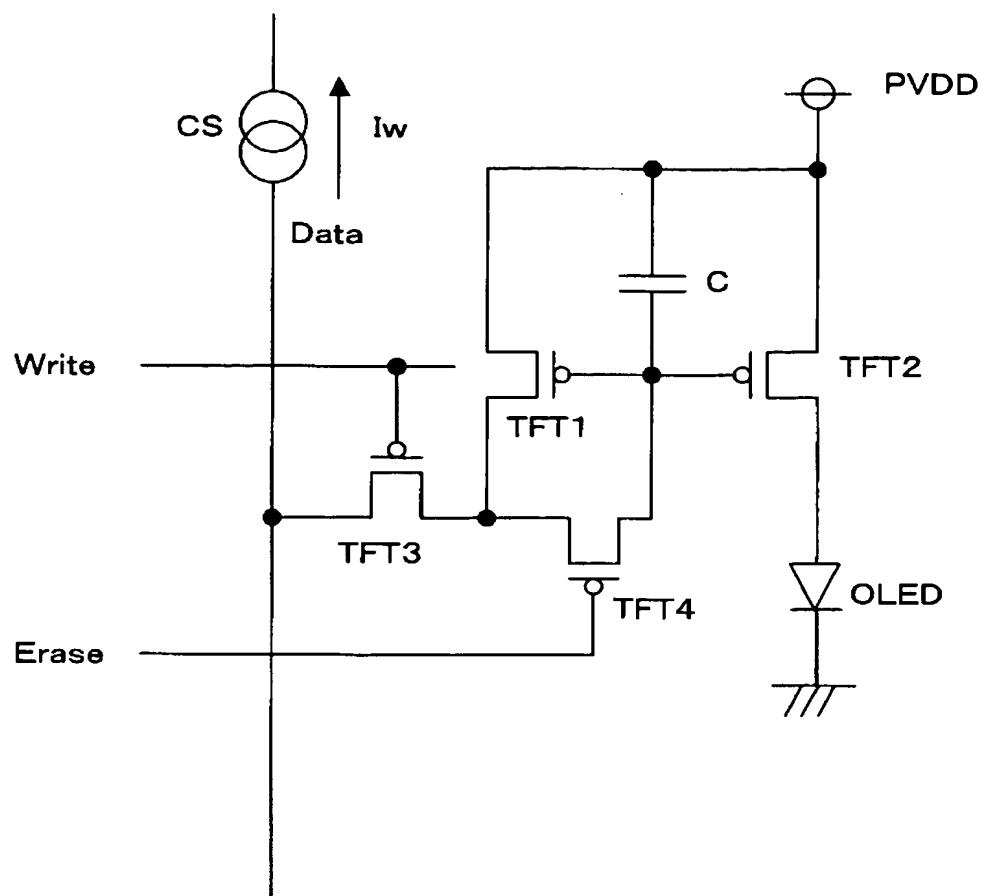
40 水平シフトレジスタ、44 トランジスタ、46 ビデオデータ処理回路、50 電流駆動型画素回路、70 オアゲート、74, 76 ナンドゲート。

【書類名】図面

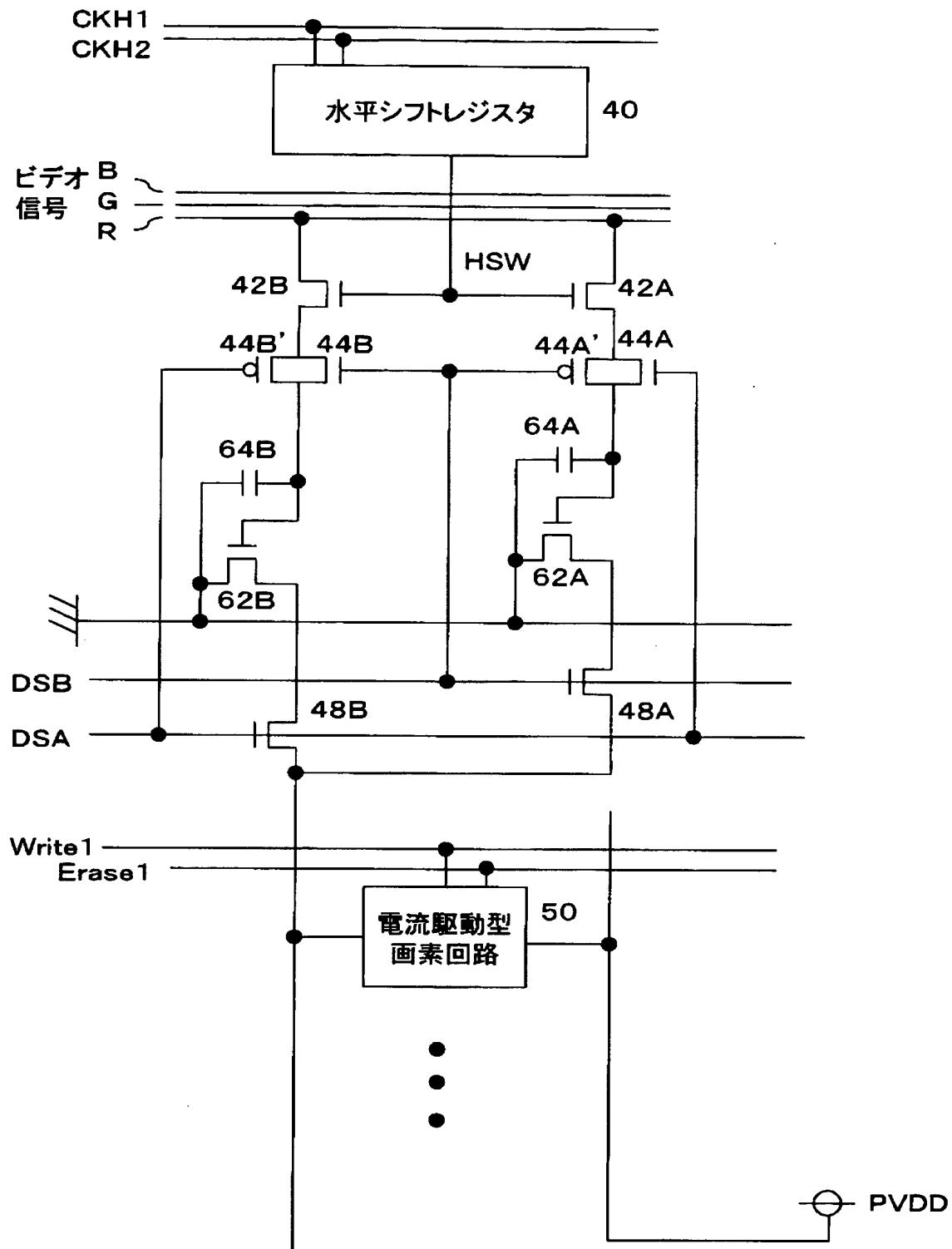
【図 1】



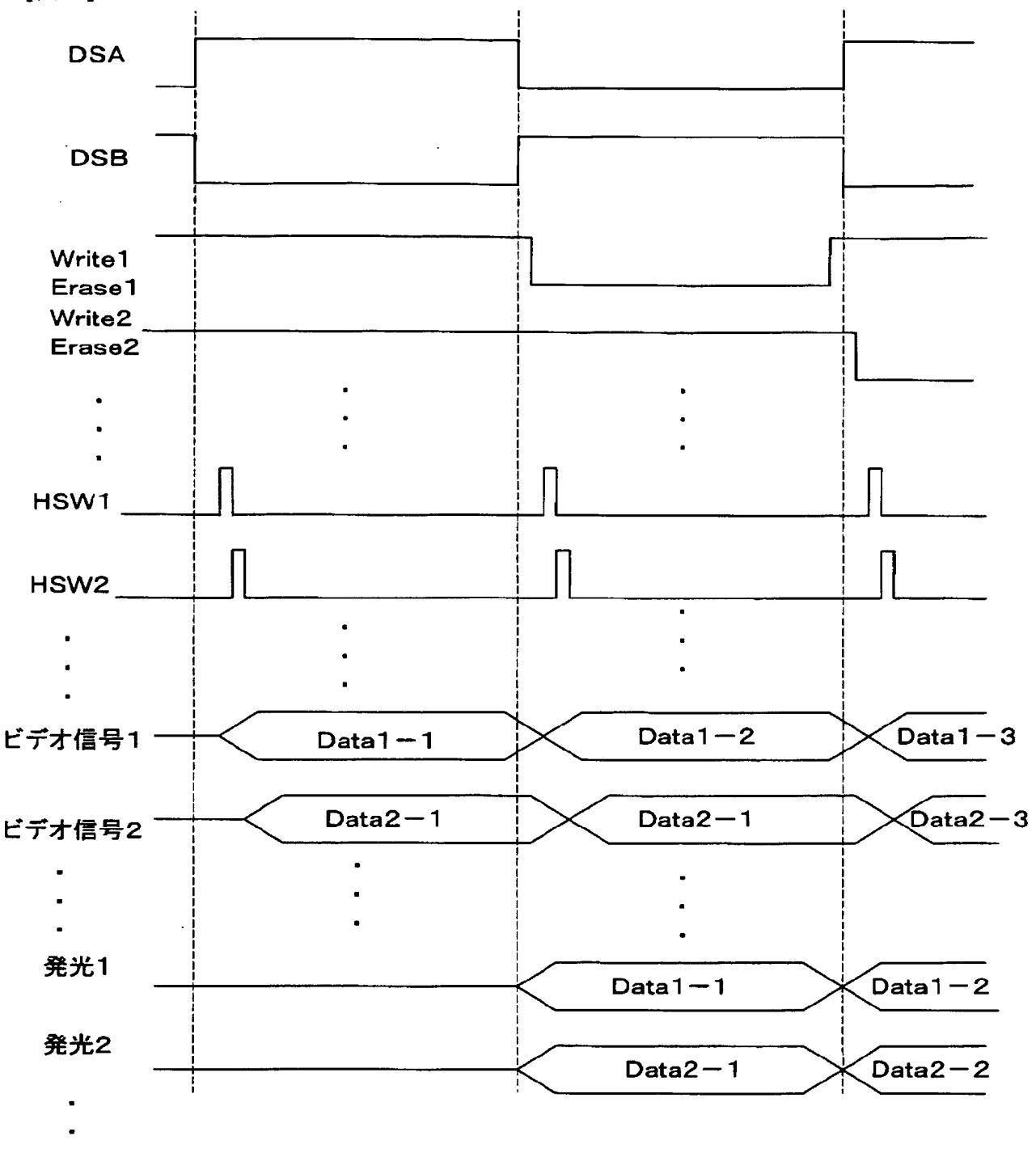
【図2】



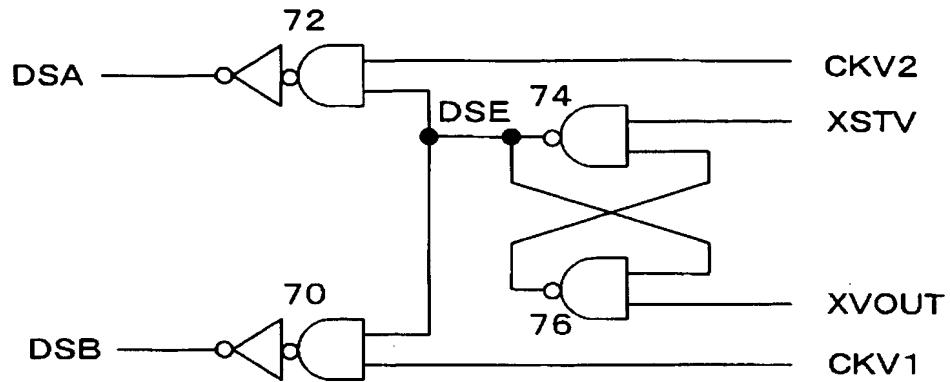
【図3】



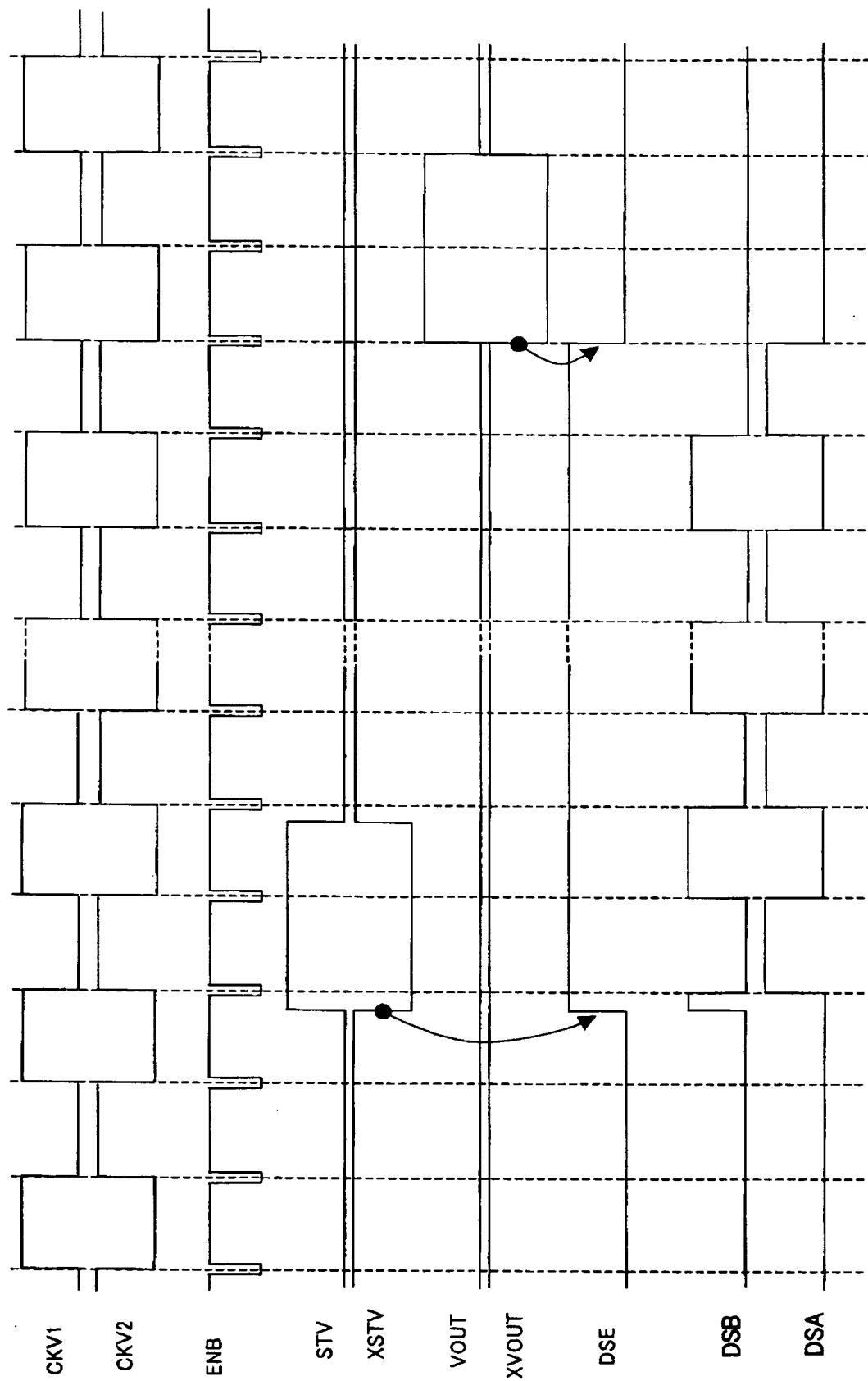
【図4】



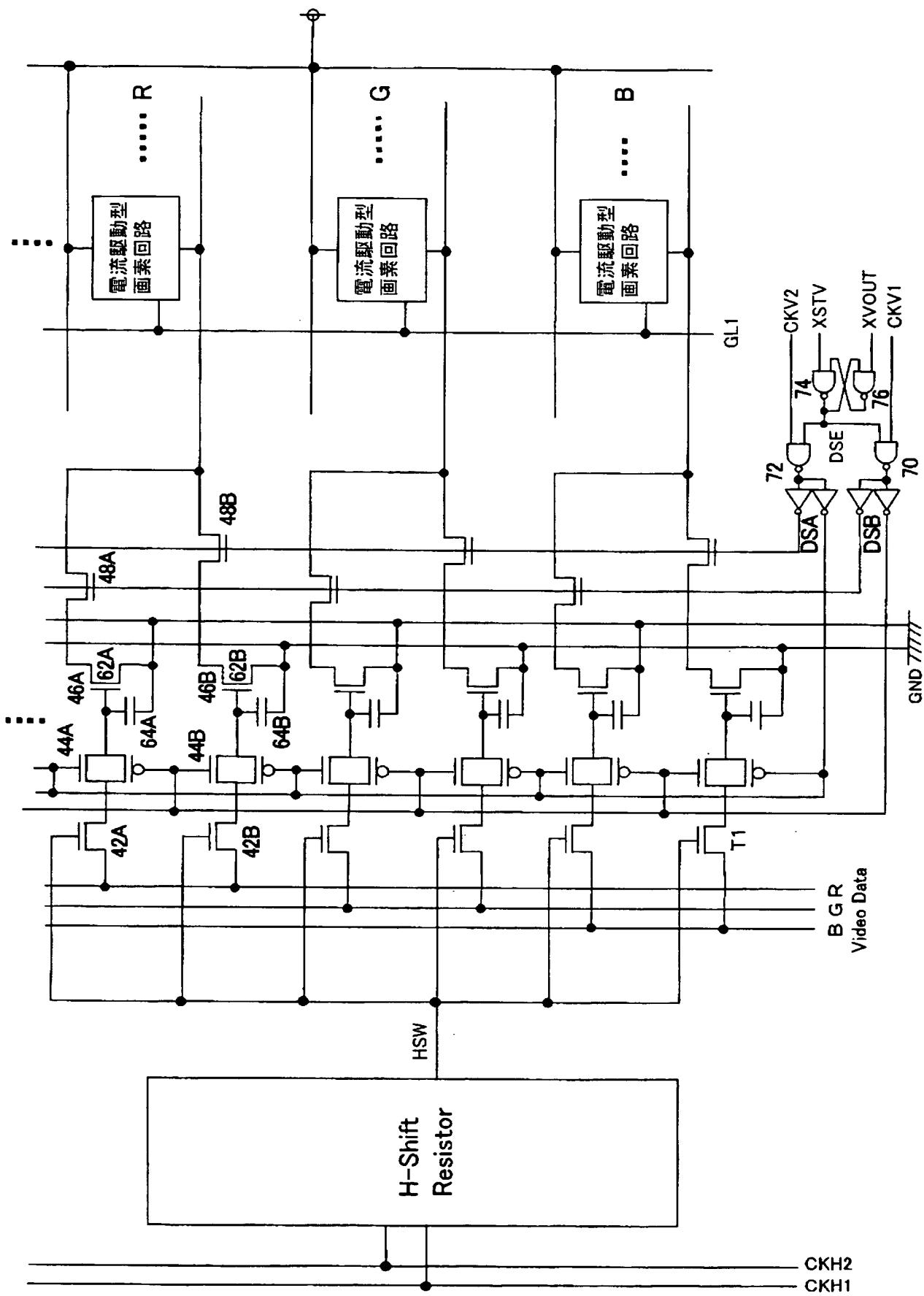
【図5】



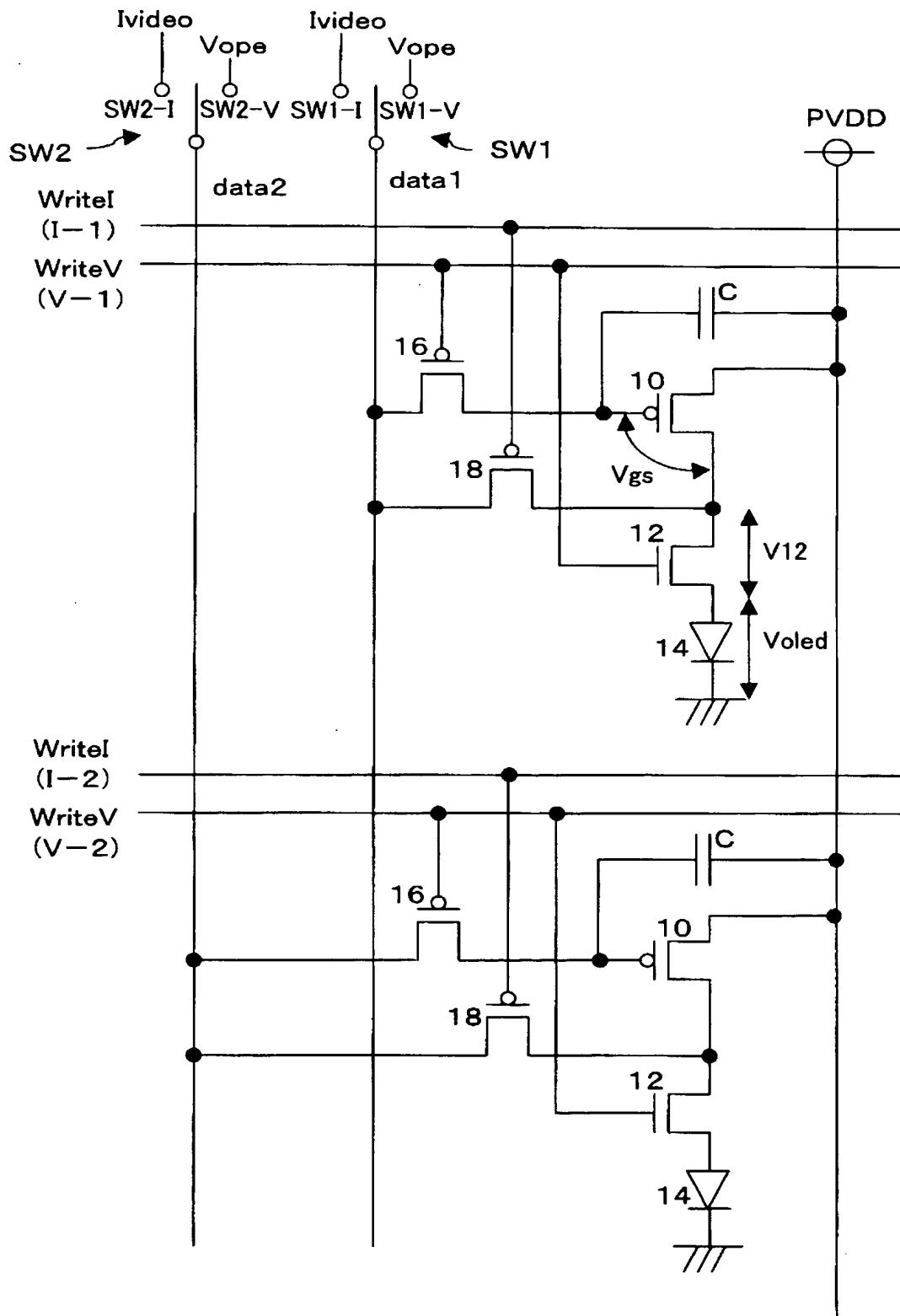
【図6】



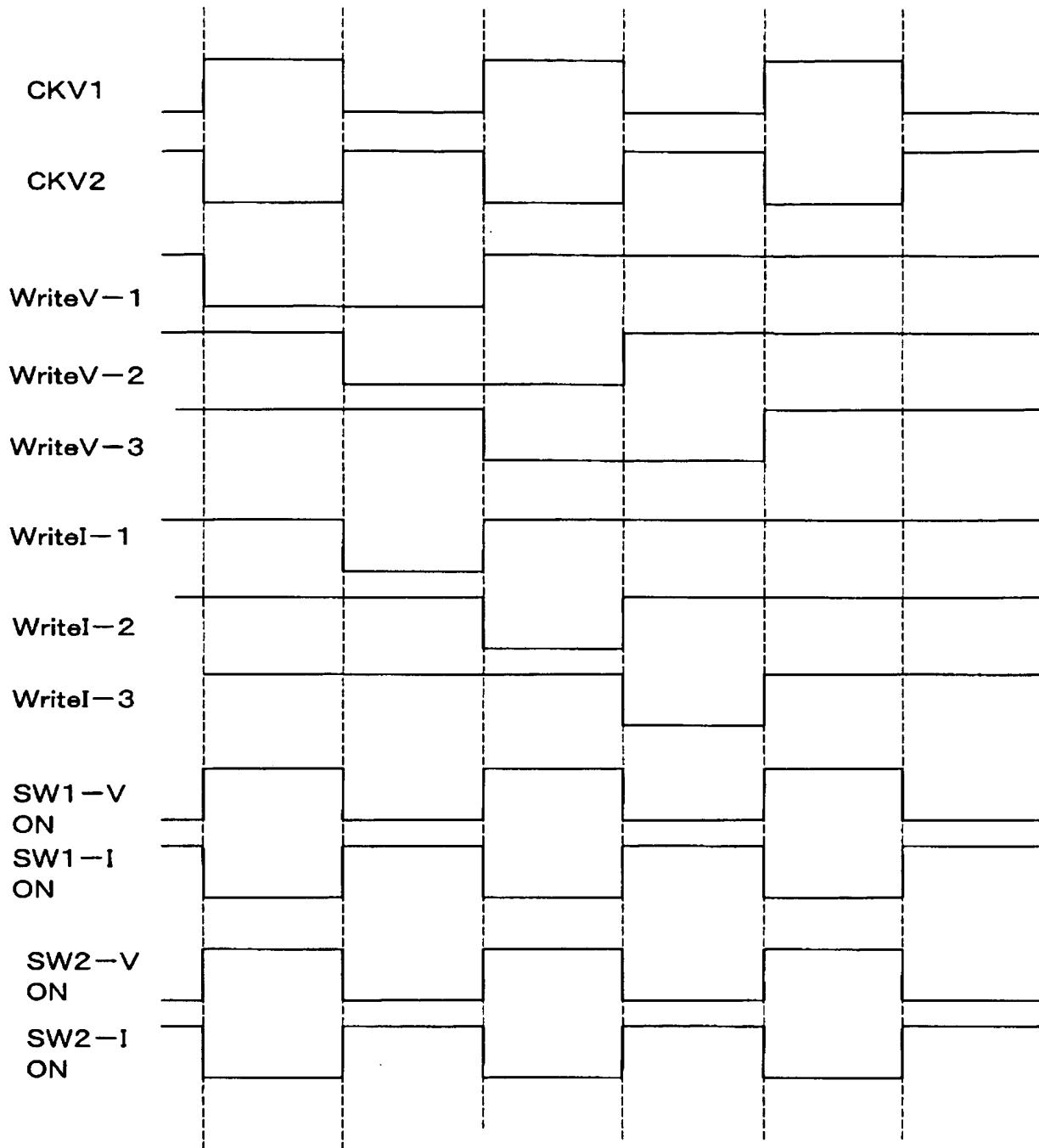
【図 7】



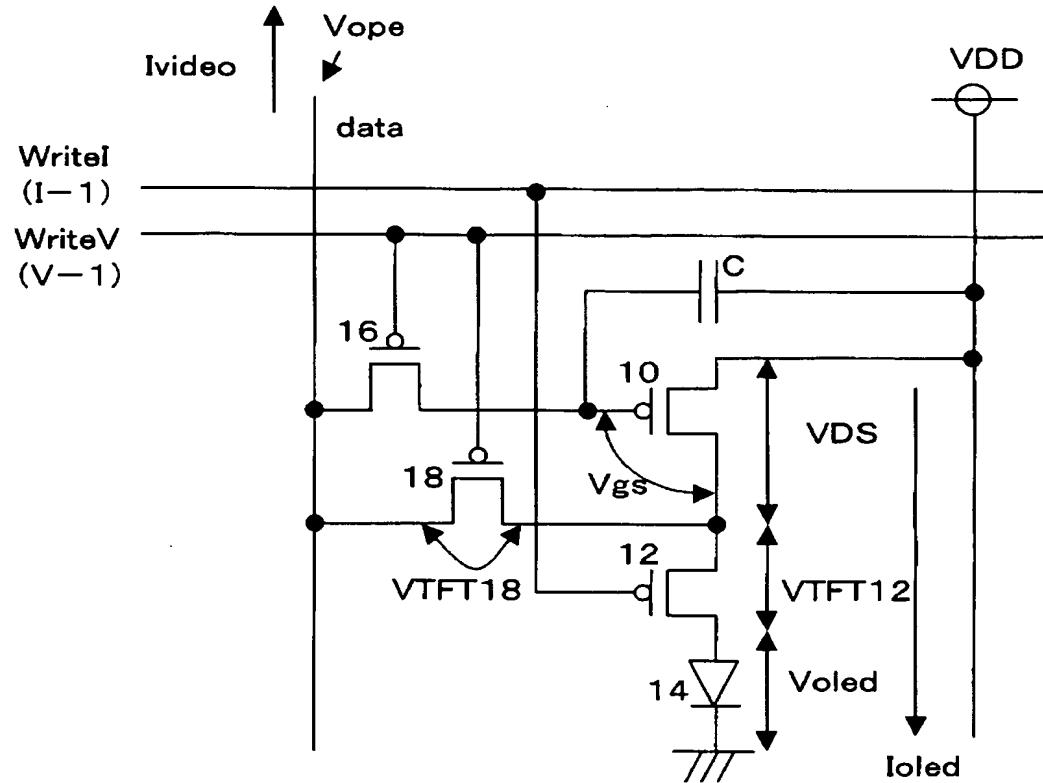
【図8】



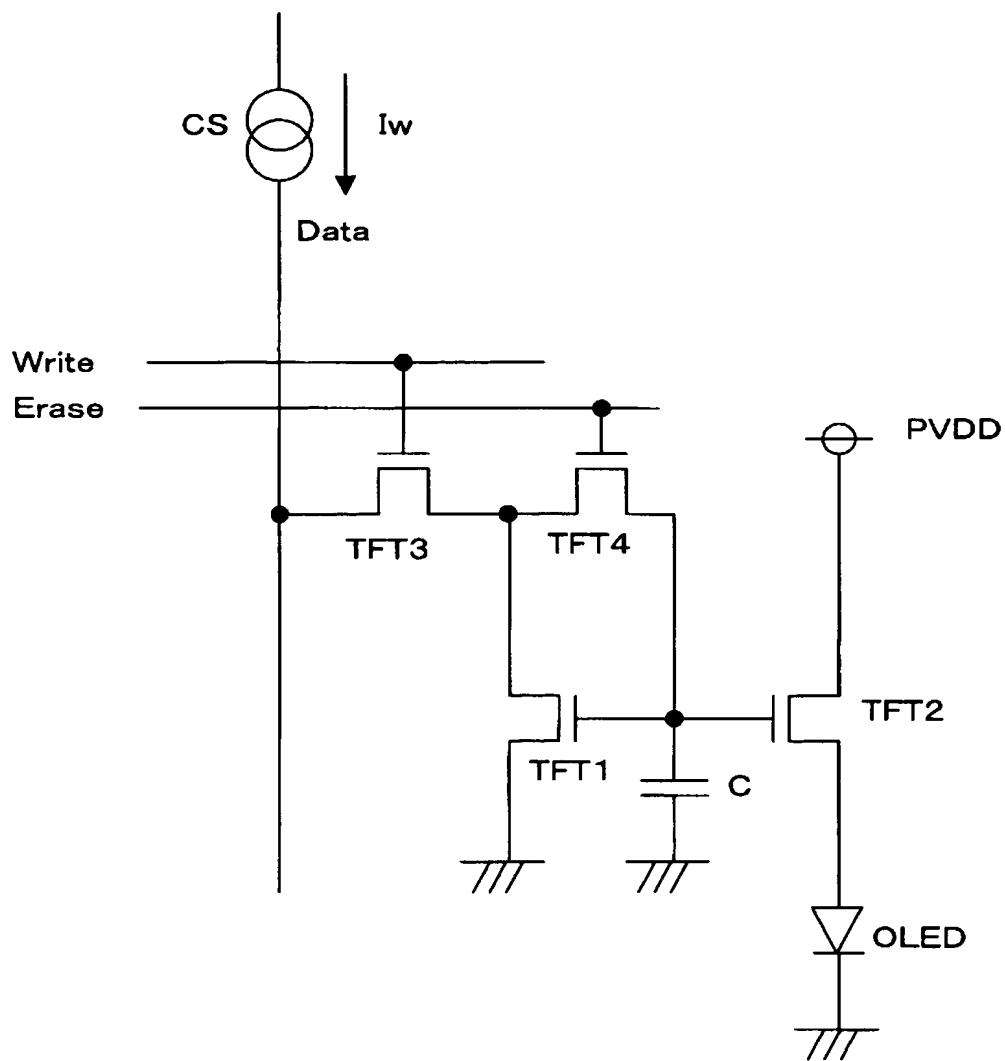
【図9】



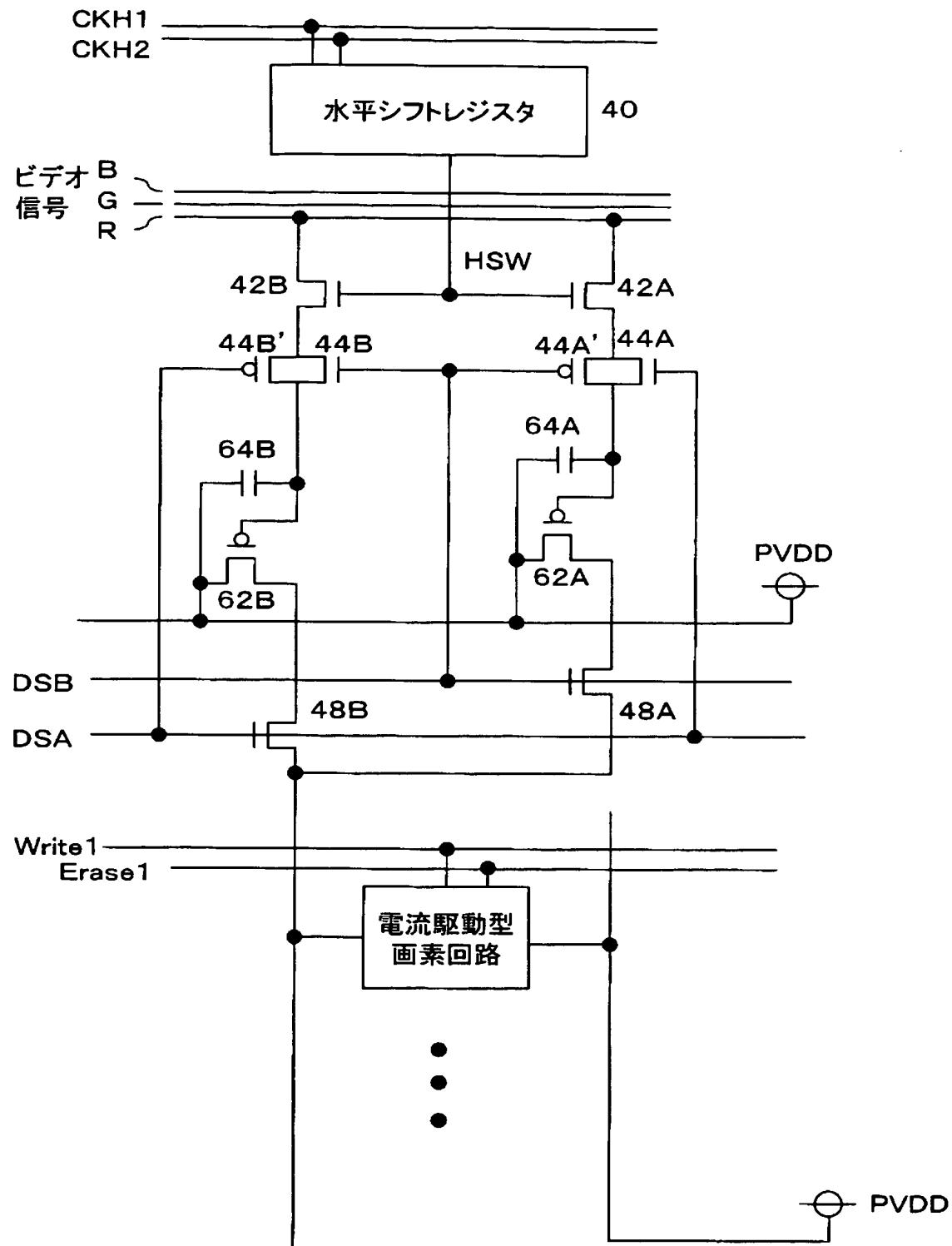
【図10】



【図 11】



【図12】



【書類名】要約書

【要約】

【課題】通常のビデオ信号が入力され、電流駆動で画素を駆動する。

【解決手段】ビデオデータ処理回路46A, 46Bにおいて、ビデオ信号を取り入れ記憶して、1水平ラインの期間データラインに出力する。従って、ビデオ信号によって、電流駆動型画素回路50を駆動することができる。

【選択図】図1

特願 2003-342666

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住所 大阪府守口市京阪本通2丁目5番5号
氏名 三洋電機株式会社